

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268696

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H04L 27/22  
H03J 7/02  
H04L 1/20

(21)Application number : 05-076127

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 10.03.1993

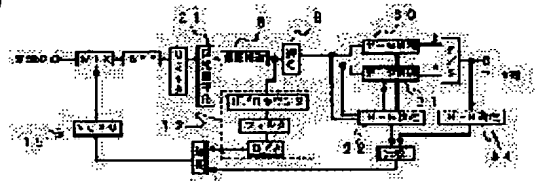
(72)Inventor : WADA YOSHIO

## (54) AFC CIRCUIT

### (57)Abstract:

**PURPOSE:** To exactly correct the frequency drift of a modulated wave at high speed by comparing an estimated value from a bit error rate estimating device with a measured value from a bit error rate measuring instrument.

**CONSTITUTION:** Based on the phase difference of inputting respective elements, a decoding circuit 9 decodes digital signals X and Y. Based on the signals, a bit error rate estimating device 22 estimates the bit error rate, generates a timing clock signal and settles the data of the signals X and Y. On the other hand, based on a data string for the use of measuring bit error rate inserted to a modulated wave (a) at a prescribed interval, a bit error rate measuring instrument 34 measures the bit error rate. Further, the bit error rate estimated value and measured value are compared, a voltage required for minimizing both values is added to the output of an AFC circuit 12 and supplied to a VCXO 15.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268696

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 4 L 27/22	A	9297-5K		
	Z	9297-5K		
H 0 3 J 7/02		8523-5K		
H 0 4 L 1/20		4101-5K		

審査請求 未請求 請求項の数 2 FD (全 6 頁)

(21)出願番号 特願平5-76127

(22)出願日 平成5年(1993)3月10日

(71)出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72)発明者 和田 善生

神奈川県高座郡寒川町小谷2丁目1番1号

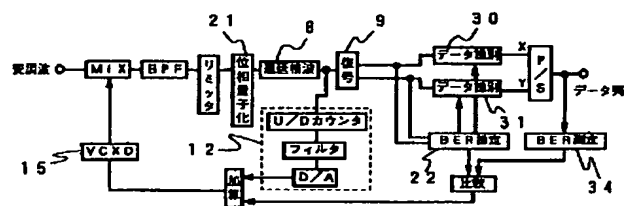
東洋通信機株式会社内

#### (54)【発明の名称】 AFC回路

#### (57)【要約】

【目的】大きな周波数ドリフトが発生した場合であっても正しい方向且つ適切な値の補正が可能なAFC回路を提供することを目的とする。

【構成】復調過程の信号を単位データ周期(シンボル周期)毎に予め設定した複数個の抽出ポイントにてサンプリングし相隣接する2つの抽出ポイント毎の相関を検出すると共に検出した相関の分布に基づいてビットエラーレートを推定するビットエラーレート推定装置と変調波に所定の間隔で挿入されたビットエラーレート測定用データ列に基づきビットエラーレートを測定するビットエラーレート測定装置とを具備し、双方のビットエラーレートを比較することによって変調波の周波数ドリフトを補正するものである。



## 【特許請求の範囲】

【請求項1】変調波を所定の検波手段により検波して復調するデジタル復調装置のAFC回路に於いて、復調過程の信号を単位データ周期（シンボル周期）毎に予め設定した複数の抽出ポイントにてサンプリングし相隣接する2つの抽出ポイント毎の相関を検出すると共に検出した相関の分布に基づいてビットエラーレートを推定するビットエラーレート推定装置と変調波に所定の間隔で挿入されたビットエラーレート測定用データ列に基づきビットエラーレートを測定するビットエラーレート測定装置とを具備し、双方のビットエラーレートを比較することによって変調波の周波数ドリフトを補正することを特徴とするAFC回路。

【請求項2】前記ビットエラーレート推定装置が復調過程の信号を単位データ周期（シンボル周期）毎に予め設定した複数の抽出ポイントにてサンプリングし相隣接する2つの抽出ポイント毎の相関を検出すると共に少なくとも2の前記相関を取り出しその差に基づいてビットエラーレートを推定するものであることを特徴とする請求項1記載のAFC回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はデジタル信号により変調した変調波を復調するデジタル復調装置に用いるAFC回路、殊にデジタル移動通信の分野に適したAFC回路に関する。

## 【0002】

【従来の技術】電話回線等の有線によるデータ伝送、基地局間のマイクロ波通信あるいは光通信と云った技術分野においては、すでに通信のデジタル化が研究され実現化されつつある。近年、これまで比較的遅れ気味であった自動車電話あるいは携帯電話等の移動通信のデジタル化についても盛んに研究が進められている。デジタル移動通信の分野では伝送路に於ける振幅歪みの影響を受けにくい角度変調方式を用いるのが一般的である。

【0003】図4は $\pi/4$ シフトQPSK変調装置の基本構成を示すブロック図である。シリアル/パラレル変換器1は入力したデジタルの2値データ列を2ビットを一組とする単位データ（X、Y）に変換する。この単位データを一般に1シンボルと称し、これを一周期として処理が進められる。差動符号化回路2は信号の変化分（差分）に対して（X、Y）の情報を担わせたIチャンネルとQチャンネルとから成るベースバンド信号を生成し、該ベースバンド信号はローパスフィルタ（LPF）3、4により帯域制限される。而して、搬送波 $\omega_c$ の同相、直交成分を夫々この帯域制限されたベースバンド信号I、Qに乗算し、双方を合成して変調波を得るものである。

【0004】図5は $\pi/4$ シフトQPSK変調波を復調するためのデジタル復調装置のブロック図であって、

変調波に基準周波数を混合して中間周波変換した後、該中間周波信号をバンドパスフィルタ5およびリミッタ6を介して位相量子化回路7に入力せしめる。位相量子化回路7にて位相に応じて量子化された信号を1シンボル周期の遅延時間を有する遅延検波回路8を用いて、1シンボル先行する信号との差をとり位相差を求める。前記位相差の信号は復号回路9にてデジタル信号X、Yに復号され、クロック再生回路10からのタイミングクロック信号に基づき信号X、Yを確定する。これをパラレル/シリアル変換器11にてデータ列に変換すれば復調信号を得ることができる。

【0005】 $\pi/4$ シフトQPSK変調波の場合、遅延検波後の位相点は図6（a）に示す4つの白丸印のうちの1つとなるはずであるが周波数ドリフトが発生していた場合には図6（b）の×印のいずれか1点をとることとなり、両者の位相ずれは1シンボル当りの周波数ドリフト量に相当する。そこで変調波の周波数ドリフトを補正すべくAFC回路12を具備するのが一般的であって、遅延検波回路8の出力をアップダウンカウンタ13でカウントすることにより位相ずれの程度を見積もり、このカウント値をフィルタ14を介してデジタル/アナログ変換し、位相点の位置が白丸印と一致するよう前記基準周波数を発生するVCO15の周波数を変化するものであった。

【0006】しかしながら、周波数ドリフトが大きくなると、例えば図7に示す如く本来白丸印Aに現われるはずの位相点が白丸印Bの近傍の×印の位置に現われたとすると、AFC回路は白丸印Bを真値と判定して誤った方向への補正を実行し、正しい復調データが得られないと云う欠陥があった。

## 【0007】

【発明の目的】本発明は上述した如き従来のデジタル復調装置に用いるAFC回路の欠点を除去するためになされたものであって、大きな周波数ドリフトが発生した場合であっても正しい方向且つ適切な値の補正が可能なAFC回路を提供することを目的とする。

## 【0008】

【発明の概要】上述の目的を達成するため本発明は、変調波を所定の検波手段により検波して復調するデジタル復調装置のAFC回路に於いて、復調過程の信号を単位データ周期（シンボル周期）毎に予め設定した複数の抽出ポイントにてサンプリングし相隣接する2つの抽出ポイント毎の相関を検出すると共に検出した相関の分布に基づいてビットエラーレートを推定するビットエラーレート推定装置と変調波に所定の間隔で挿入されたビットエラーレート測定用データ列に基づきビットエラーレートを測定するビットエラーレート測定装置とを具備し、双方のビットエラーレートを比較することによって変調波の周波数ドリフトを補正するものである。

## 【0009】

## 3

【実施例】以下、本発明を実施例を示す図面に基づいて詳細に説明する。それに先立ち本発明の理解を助けるために本発明の基礎となるビットエラーレート推定装置の考え方について簡単に説明する。図8はデジタル復調装置の復調過程にある検波信号を複数回重ね書きしたことにより得られたアイパターンを模式的に示したものであって、アイの最も開いたポイント（タイミングポイント）16に於ける信号レベルを各シンボルの復調データとして識別する。一般にビットエラーレートは同期のとれた状態即ちタイミングポイントにて測定し評価するものであるが、図9に示すように1シンボル周期毎に所定の抽出ポイント（同図に於いては1シンボル当たり8ポイント）を設定し、各抽出ポイントについて復調を行った場合のビットエラーレートを測定すると図10

(a) のようになる。ここで、横軸は雑音のパワースペクトル密度 $N_0$ と1ビット当たりの信号のエネルギー $E_b$ の比であって、縦軸はビットエラーレートを対数表示したものである。

【0010】図中17はタイミングポイント $P_5$ 、18は $P_4$ あるいは $P_6$ 、19は $P_3$ あるいは $P_7$ に於ける曲線であって、当然のことながらタイミングポイントから離れるにしたがってビットエラーレートが大きくなり、各曲線とも雑音の減少（ $E_b/N_0$ の増大）に伴いビットエラーレートが減少する右下がりの曲線を呈する。ここで、図10(a)の曲線17と18に着目し、 $\alpha$ 、 $\beta$ および $\gamma$ の3点に於けるビットエラーレートの差 $\Delta BER$ を求めると、 $\Delta BER_\alpha > \Delta BER_\beta > \Delta BER_\gamma$ となる。同図に於いては各 $\Delta BER$ 間に差が殆ど生じないように見えるが、前述した如く縦軸のビットエラーレートは対数表示しているため実際には比較的大きな差が生じる。

【0011】 $E_b/N_0$ が $\alpha$ 、 $\beta$ および $\gamma$ の場合について、抽出ポイントとビットエラーレートとの関係を示した図10(b)からも明らかな如く、 $\Delta BER_\alpha$ 、 $\Delta BER_\beta$ および $\Delta BER_\gamma$ と、タイミングポイントに於けるビットエラーレート $BER_\alpha$ 、 $BER_\beta$ および $BER_\gamma$ とが夫々ほぼ1対1に対応し、 $\Delta BER$ を測定することでタイミングポイントに於けるビットエラーレートを求めることが可能となる。

【0012】一方、図8に示したアイパターンから明らかなようにアイが最も開いたタイミングポイント16に於いては、検波信号のレベルが比較的高密度に集中する $a$ または $-a$ となり、その近傍に於いてはほとんどの場合タイミングポイント16とほぼ同じレベルとなる。逆にタイミングポイント16から離れゼロクロスポイント20に近づくに従ってレベルが一致しない確率は高くなる。そこで、図9で規定した抽出ポイントに関し隣り合う2つの抽出ポイントの信号レベル同志について相関をとると、図11に示す如く信号レベルの一致したタイミングポイント16（ $P_5$ ）の近傍では相関が大きくな

## 4

り、2つの抽出ポイントの信号レベルが異なる場合相関が小さくなると云う図10(b)と極めて類似した傾向を有する曲線が描ける。

【0013】具体的には、図9にて設定した抽出ポイントに於いて信号のレベルをサンプリングし、隣り合った抽出ポイントのサンプリングデータ同志、 $P_1$ と $P_2$ 、 $P_2$ と $P_3$ ・・・と順次相互の相関を検出した後、この相関データの大小を比較して相関が最大となる抽出ポイント対およびこれと隣り合う相関が大きい方の抽出ポイント対（同図に於いては $P_4$ と $P_5$ の対および $P_5$ と $P_6$ の対）を求め、該抽出ポイント対が常に同じ値をとるよう同期せしめ、双方の抽出ポイント対に属する抽出ポイント（同図に於いては $P_5$ ）をタイミングポイントと設定する。さらに、同期がとれた状態に於いては前記抽出ポイント対の相関値が前記 $\Delta BER$ に相当する値となるから、予め測定により求めた相関値と $\Delta BER$ および $\Delta BER$ とタイミングポイントに於けるビットエラーレートの関係を与える統計値に基づき演算処理を行なうことによって前記相関値よりビットエラーレートを推定することができる。

【0014】本発明は上述した如きビットエラーレート推定装置からの推定値と、変調波に所定の間隔で挿入されたビットエラーレート測定用データ列に基づきビットエラーレートを測定する周知のビットエラーレート測定装置からの測定値を比較した値に基づき変調波の周波数ドリフトを補正するものであって、図1は本発明に係るAFC回路の一実施例をデジタル復調装置に適用したときの構成を示したものである。位相量子化回路21は信号を1シンボル当たり8つの要素に分割し、各要素を夫々の位相に応じて量子化する。1シンボル周期の遅延時間を有する遅延検波回路8を用いて、1シンボル先行する信号との差をとり各要素毎の位相差を求める。復号回路9は入力される各要素の位相差に基づきデジタル信号 $X$ 、 $Y$ に復号する。この信号に基づきビットエラーレート推定装置22はビットエラーレートを推定すると共にタイミングクロック信号を生成し $X$ 、 $Y$ のデータを確定する。

【0015】図2はビットエラーレート推定装置22の具体的な構成を示すブロック図であって、復号回路9からのデジタル信号 $X$ 、 $Y$ はいずれも1シンボル周期当たり8個のデータ列をなしているから、夫々シリアル/パラレル変換器23、24にて並列化され、ラッチ回路25、26にて1シンボル周期毎にラッチされる。ラッチ回路の出力について相隣接したビット同志を一組としてXORゲートに入力せしめ相関を検出し、その出力は $X$ 、 $Y$ 夫々について対応する組毎に加算されカウンタ列28に所定シンボル数分だけ蓄積する。カウンタ列28のデータを取り込んだ相関判定回路29は、各カウンタに蓄積された相関データの大小を比較して最も相関の大きくなる抽出ポイント対およびこれと隣り合う相関が大

## 5

きい方の抽出ポイント対を検出し、双方に属す抽出ポイントをタイミングポイントと判定すると共に該タイミングポイントに基づきタイミングクロック信号を生成しデータ識別部 30、31 に出力する。

【0016】尚、周知の通り XOR ゲートは図 3 に示す如き入出力特性を有するから、相関が大きい場合（入力レベルが一致したとき）には“0”を、小さい場合（入力レベルが不一致のとき）には“1”を出力する。従って、カウンタに蓄積される数値が 0 に近いほど相関の大きいポイントと云うことになるから、相関判定回路 29 は複数の入力から最小値を示す抽出ポイント対を求めるよう構成すればよい。さらに、前記 2 つの抽出ポイント対がカウンタ<sub>4</sub>およびカウンタ<sub>5</sub>と一致するようラッチタイミング回路 32 は復調過程の信号のラッチのタイミングを補正する。このように同期をとったとき抽出ポイント P<sub>5</sub> がタイミングポイントであり、カウンタ<sub>4</sub>の出力は抽出ポイント P<sub>4</sub> と P<sub>5</sub> についての相関を表し、前記 ΔBER に相当するから、推定部 33 はこのカウンタ<sub>4</sub>からの相関値に所定の演算を施すことによってタイミングポイントに於けるビットエラーレートを推定する。

【0017】ここで、推定部 33 は予め測定して求めている相関値と ΔBER および ΔBER とタイミングポイントに於けるビットエラーレートの関係を与える統計値に基づき変換を行なうものであれば何でもよく、前記統計値に基づきロジック回路を構成してもよくマイコン等で数値演算してもよい。一方、ビットエラーレート測定装置 34 は予め決定されたビットエラーレート測定用データ列を記憶しておき、変調波に所定の間隔で挿入された前記ビットエラーレート測定用データ列を復調された信号より抽出すると共に記憶しておいたデータ列との比較を行うことによってビットエラーレートを測定する。而して、本発明に係る AFC 回路はビットエラーレート推定値と測定値とを比較して、双方の値を最小とするのに必要な電圧を従来の AFC 回路 12 の出力に加算して VCXO 15 に供給するよう構成したものであり、前記プリアンプ信号を受信したときのみならず、次のプリアンプ信号が到達するまでの間についても周波数ドリフトの発生を感知しその補正を可能としたものである。

【0018】尚、以上本発明を位相変調波を遅延検波するタイプのデジタル復調装置に適用したものを例として説明したが、本発明はこれのみに限定されるものではなく、デジタル信号を変復調する系に用いるデジタル復調装置であればどのような方式であってもよく、例えば周波数変調方式あるいは振幅変調方式の復調装置にも適用可能であり、変調波から復号までの課程はどのような手法を用いたものであってもよく、例えば、同期検波方式の復調装置に本発明を適用してもよいこと明白であらう。

## 6

【0019】また、実施例に於いては相関を検出する手段として XOR ゲートを用いたが、入力する 2 値が一致した場合と一致しなかった場合とを区別するものであれば、NXOR ゲート等の他の回路で構成したものであってもよい。さらに、実施例では抽出ポイントの数を 1 シンボル当たり 8 ポイントとし、タイミングポイント近傍の 2 つの抽出ポイントの相関値よりビットエラーレートを推定するよう構成したが、精度等を勘案して抽出ポイント数を増減することは可能であり、タイミングポイント以外の抽出ポイントに於ける相関値の分布からビットエラーレートを推定するよう構成することも可能である。

## 【0020】

【発明の効果】本発明は、以上説明した如く構成するものであるから、比較的大きな周波数ドリフトが発生した場合であっても、高速にしかも正確にこれを補正する上で極めて著しい効果を奏する。

## 【0021】

## 【図面の簡単な説明】

【図 1】本発明に係る AFC 回路の一実施例をデジタル復調装置に適用したときの構成を示すブロック図。

【図 2】ビットエラーレート推定装置の具体的な構成例を示すブロック図。

【図 3】XOR ゲートの入出力特性を示す図。

【図 4】 $\pi/4$ シフト QPSK 変調装置の基本構成を示すブロック図

【図 5】 $\pi/4$ シフト QPSK デジタル復調装置のブロック図

【図 6】周波数ドリフトによる位相点の変化を説明する図。

【図 7】大きな周波数ドリフトによる位相点の変化を説明する図。

【図 8】復調過程にある検波信号のアイパターン。

【図 9】抽出ポイントの設定例を示す図。

【図 10】(a)、(b) は夫々ビットエラーレートと  $E_b/N_0$  あるいは抽出ポイントとの関係を示す図。

【図 11】抽出ポイントに対する相関値の分布を示す図。

## 【符号の説明】

8・・・遅延検波回路

12・・・AFC 回路

15・・・VCXO

22・・・ビットエラーレート推定装置

27・・・XOR ゲート

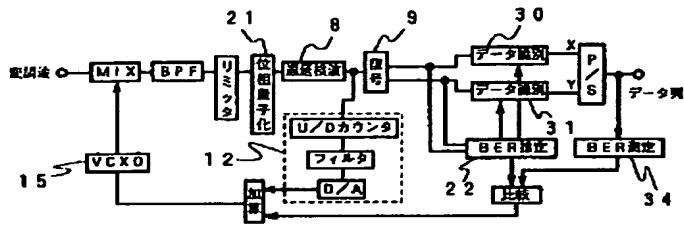
28・・・カウンタ列

29・・・相関判定回路

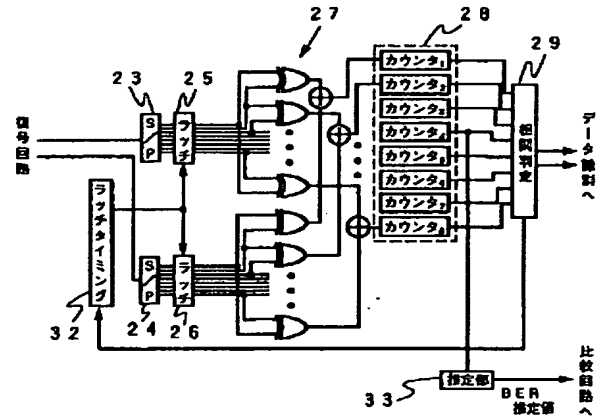
33・・・推定部

34・・・ビットエラーレート測定装置

【図1】



【図2】

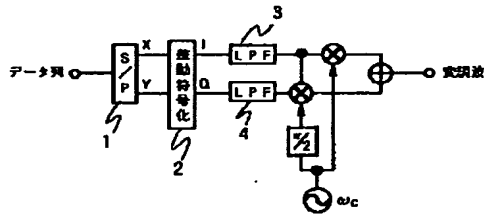


【図3】

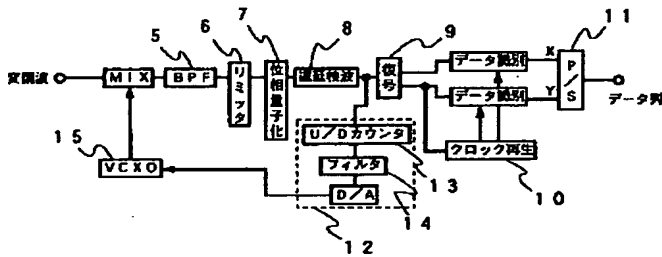
A B C

0	0	0
0	1	1
1	0	1
1	1	0

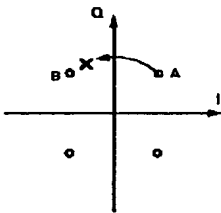
【図4】



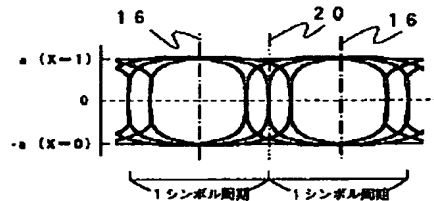
【図5】



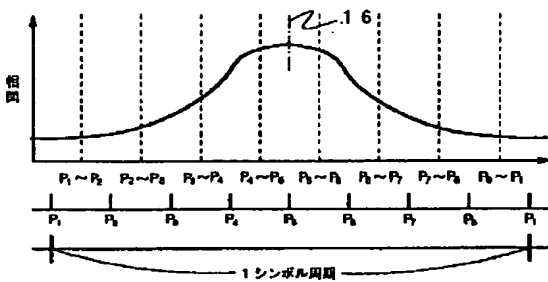
【図7】



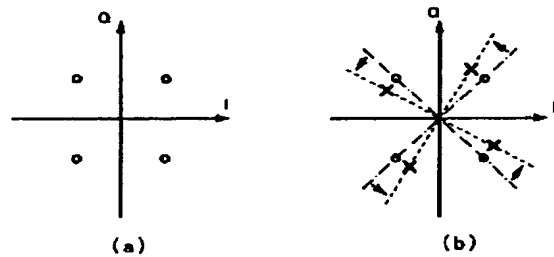
【図8】



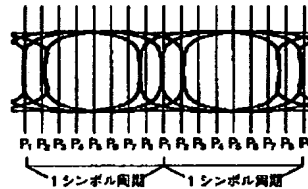
【図11】



【図6】



【図9】



【図10】

